

## **Лекция 4. Основы планарной технологии**

### **Закон Мура**

Еще в начале 1965 года, примерно за три с половиной года до создания корпорации «Intel», Гордон Мур, занимавший в ту пору должность директора отдела разработок компании Fairchild Semiconductors, написал внутренний доклад «Будущее интегральной электроники» с графиком, соединяющим 5 точек и связывающим число компонентов ИС и их минимальную цену для периода 1959–1964 с предсказанием развития на следующие 10 лет. В докладе отмечалось, что появление новых моделей микросхем наблюдалось спустя примерно одинаковые периоды (18–24 месяца) после предшественников, при этом количество транзисторов в них возрастало каждый раз приблизительно вдвое. Мур пришел к выводу, что при сохранении этой тенденции мощность вычислительных устройств за относительно короткий промежуток времени может вырасти экспоненциально. Чуть позже отредактированная версия появилась в виде статьи в журнале Electronics<sup>1</sup> 19 апреля 1965 года.

В то время микроэлектроника пребывала в зачаточном состоянии. Чипов тогда производилось совсем мало, в самой сложной микросхеме компании Fairchild было всего 64 транзистора, о каких-либо достоверных статистических данных в этой отрасли не приходилось и говорить. Тем не менее, Мур дал прогноз развития микроэлектроники, получивший в 1980 году название закона Мура, согласно которому количество транзисторов на чипе ежегодно будет удваиваться, причем процессоры будут становиться все более дешевыми и быстродействующими, а их производство — все более массовым.

Этот закон иллюстрируется на рис. 1.14, начиная с самых первых интегральных схем.

---

<sup>1</sup>«Cramming more components onto integrated circuits» (Объединение большего количества компонентов в интегральных схемах)

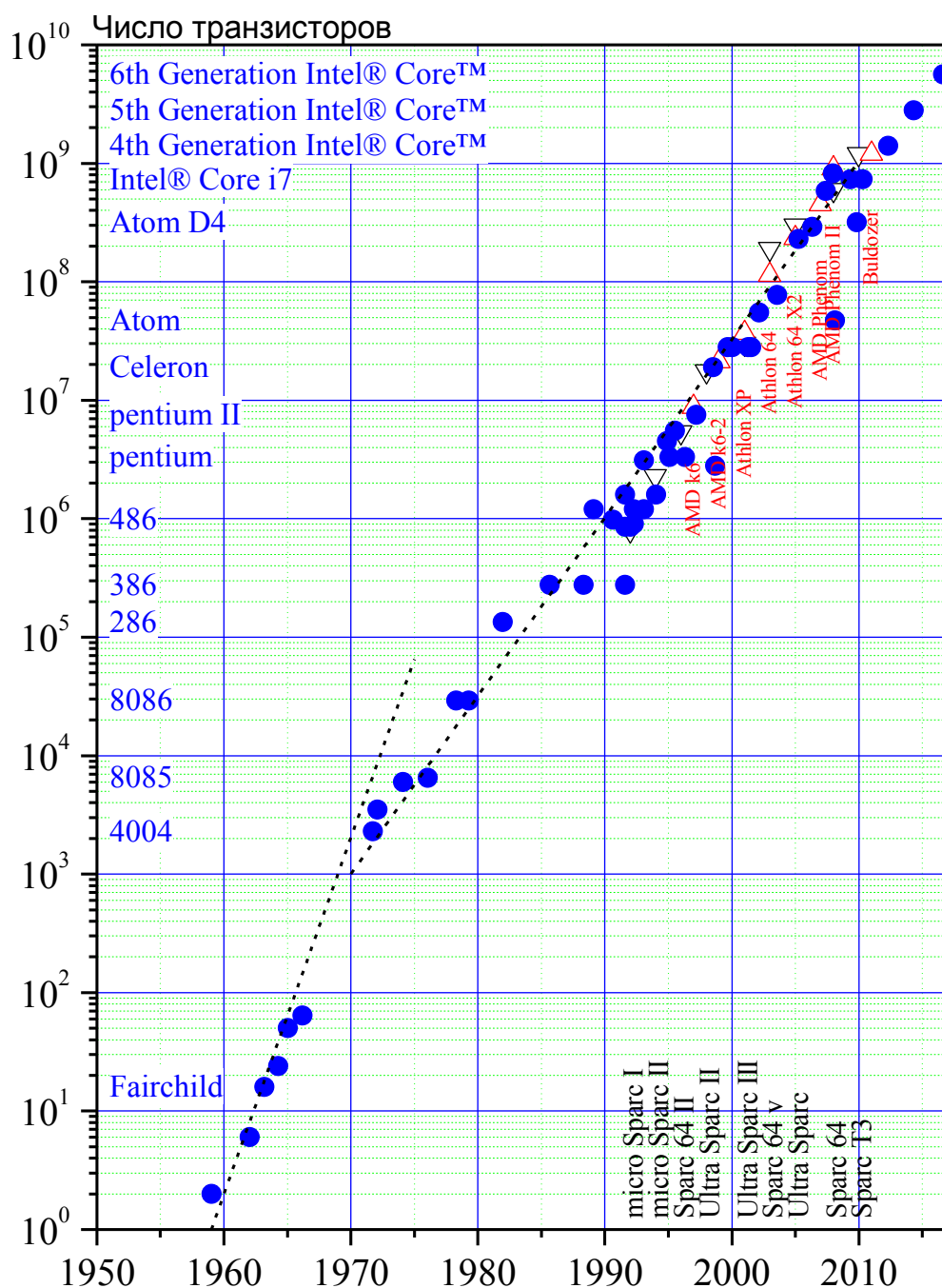


Рис. 1.15. Закон Мура: рост числа транзисторов в интегральных схемах по годам у различных производителей. ● -Intel, △ -AMD, ▽ - SPARC

В 1975 году на ежегодной встрече Института инженеров по электротехнике и электронике (IEEE) Мур (уже как президент и исполнительный директор Intel) указал, что увеличение диаметра пластин, а также совершенствование технологии и схемотехники позволило продолжиться прогнозу. Впрочем, Мур скорректировал свою

---

**Institute of Electrical and Electronics Engineers** — международная некоммерческая ассоциация специалистов в области техники, мировой лидер в области разработки стандартов по радиоэлектронике и электротехнике.

закономерность до удвоения каждые 2 года, добавив в последние данные не только микросхемы памяти, но и гораздо более сложные по структуре микропроцессоры. Еще раз публично проверяя свое предсказание в 1995 году, Мур сделал вывод, что «оно не скоро остановится».

Для корпорации Intel он стал (и остается до сих пор) руководящим принципом развития всей отрасли. В девяностые годы прошлого века и другие производители микропроцессоров были вынуждены начать периодический переход на новые технологические нормы для того, чтобы не проиграть в конкурентной борьбе. На рис 1.14 приведены для примера данные о некоторых процессорах, производимых корпорацией AMD, а также рядом фирм, использующих архитектуру SPARC.

В соответствии с предсказанием Мура непрерывно снижается и стоимость одного транзистора в микросхеме, которая за 30 лет уменьшилась на 6 порядков. Сейчас производство одного транзистора в микросхемах памяти обходится в 1–2 микроцента США, а в более сложных по структуре микропроцессорах — в несколько сотен микроцентов. И это несмотря на то, что стоимость строительства современной микроэлектронной фабрики удваивается каждые три года. Так, стоимость фабрики, на которой корпорация Intel производила микросхемы динамической памяти емкостью 1 Кбит, составляла \$4 миллиона, а оборудование по производству микропроцессора Pentium по 0,6–микрометровой технологии с 5,5 миллионами транзисторов обошлось в \$2 миллиарда. Стоимость же Fab32, завода по производству процессоров на базе 45–нм техпроцесса, составила \$3 миллиарда, а для 22–нм топологической нормы приближается к 10 миллиардам.

Растут и затраты на НИОКР. Для перехода на проектный уровень 32 нанометра фабрике, работающей на 300–миллиметровых пластинах, потребовался миллиард долларов. Затраты на дальнейшую миниатюризацию настолько велики, что без кооперации нескольких

---

По словам Мура, если бы автомобильная промышленность развивалась такими же темпами, как микроэлектроника, то сейчас «Мерседес» объезжал бы земной шар на одном галлоне бензина, а потом было бы дешевле выкинуть машину, чем заплатить за парковку.

**SPARC** (*Scalable Processor ARChitecture* — масштабируемая архитектура процессора) — архитектура микропроцессоров с сокращенным набором команд, разработанная в 1985 году компанией Sun Microsystems. Эта архитектура является открытой и освоена различными производителями - Texas Instruments, Fujitsu, российской МЦСТ и др.

фирм, заинтересованных в сохранении своей конкурентоспособности, уже не обойтись. Параллельно уменьшается и количество производителей, которые могут соответствовать постоянно растущим требованиям к производственно-технологическим нормам. Например, уровень 130 нанометров сейчас могут поддержать около 20 производителей (в том числе и в России), а на 22–нанометровую технологию смогли перейти всего несколько крупнейших корпораций.

Тем не менее, эксперты не видят особых проблем с дальнейшей миниатюризацией в следующем десятилетии и полагают, что удастся найти решения для того, чтобы отодвигать предел закона Мура на все более дальнюю перспективу.

В следующих разделах обсуждаются основные закономерности, которые необходимо соблюдать при уменьшении размеров активных элементов ИС, и анализируются возникающие при этом трудности и пути их преодоления.

## **2. Основы планарной технологии**

### **2.1. Изобретение планарной технологии**

К концу 1958 г. Жан Эрни из Fairchild продемонстрировал размещение в кремнии областей с различным типом проводимости, составляющих  $p-n$  переход, над которым располагался изолятор из двуокиси кремния. В изоляторе протравлено отверстие, заполненное алюминием для создания электрического контакта. Чешский физик Курт Леховец из калифорнийской компании Sprague Electric предложил использовать  $p-n$  переход и как изолятор от кремниевой подложки. Наконец, в 1959 г. Роберт Нойс из Fairchild объединил обе идеи с возможностью напылять тонкий слой металла на схему. Этот слой потом выборочно вытравливался для получения одновременно всех необходимых межсоединений, что сделало возможным изготовление весьма сложной схемы всего за несколько шагов. Так был изобретен планарный технологический процесс — совокупность операций, позволяющих создавать в полупроводниковой пластине набор  $p-$

*n* переходов, границы которых выходят на одну и ту же плоскую поверхность. Такое расположение значительно упрощает их формирование, соединение в соответствии с заданной электрической схемой и защиту от внешних воздействий. Кроме того, планарная технология обеспечивает возможность одновременного изготовления в едином технологическом процессе большого числа однотипных дискретных элементов полупроводниковых приборов или интегральных схем на одной пластине. Групповая обработка обеспечивает хорошую воспроизводимость параметров приборов и высокую производительность при сравнительно низкой стоимости изделий.

Такая обработка стала применяться после того, как Джэй Лэст и Роберт Нойс в 1958 году создали один из первых фотоповторителей, позволявших проецировать множество копий маски на одну пластину. Через три года были выпущены первые промышленные фотоповторители с уменьшением изображения — теперь маску можно было сделать в 5–10 раз больше, что упрощало процесс ее подготовки. Маски изготавливались копированием выполненных на прозрачной пленке чертежей на листе рубилита, на котором координатограф полуручным способом гравировал оттиск. Сами чипы изготавливались из пластин диаметром всего 13½ мм, введенных в 1960 году.

Первоначально все микросхемы делались с биполярными транзисторами, но в 1959 году Джон Аталла и Дэвон Канг из Bell Labs изготовили полевой транзистор с изолированным затвором, чего не могли добиться с 1926 года, когда был открыт полевой эффект. В 1960 году в Bell Labs изобрели еще один нужный для массового производства процесс — эпитаксиальное осаждение тонкого слоя полупроводника на кристаллическую подложку.

В 1963 году вышли первые ТТЛ–чипы (транзисторно–транзисторная логика, самая популярная до конца 70-х). Тогда же Фрэнк Уанласс (*Frank Wanlass*) из Fairchild показал, что симметричное спаривание *p*– и *n*–канальных МОП–транзисторов уменьшает потребление энергии в статическом режиме (когда транзисторы не переключаются) в миллион раз, назвав этот вид логики «комплементарная (структура) МОП» (КМОП). Впервые изготовленная

через 2 года, она сразу стала использоваться в авиации и космосе, а потом и в коммерческих устройствах, прежде всего, в настольных ЭВМ.

Когда массовое производство ИС стало исчисляться уже миллионами, оказалось, что с применением пластин большего диаметра себестоимость чипов падает, а массовость растет — и в 1964 году были введены 25 миллиметровые пластины, а через 2 года — 38 миллиметровые. Уменьшать размеры интегральных КМОП-структур оказалось труднее, чем в случае биполярных транзисторов, из-за производственных сложностей и уменьшения надежности. Однако в течение 1963–66 годов специалисты из американских, европейских и японских компаний (в сотрудничестве и конкуренции) исследовали и решили основную часть вопросов надежности КМОП-схем.

В 1968 году ученые из Bell Labs сделали еще один важный прорыв — в качестве материала затвора вместо алюминия стал использоваться сильно легированный поликристаллический кремний. Несмотря на то, что сопротивление поликремния больше, чем у металла, осаждение и избирательное вытравливание кремния для затвора позволило использовать его в качестве маски для формирования истока и стока, идеально подогнанных к его краям — так называемый самосовмещенный затвор (*self-aligned gate*). Это резко снижает разброс характеристик, вызванный неидеальным совмещением масок при литографическом формировании истока и стока, уменьшает паразитные емкости, улучшает надежность работы и создает более благоприятные условия для увеличения плотности упаковки транзисторов в ИС. Кроме того, работу выхода полупроводникового затвора можно с помощью легирования сравнительно легко подбирать таким образом, чтобы и для *n*-МОП, и для *p*-МОП устройств обеспечить требуемое значение порогового напряжения. Граница раздела кремний–SiO<sub>2</sub> очень хорошо изучена и, в отличие от большинства других контактов металл-диэлектрик, имеет сравнительно небольшое количество дефектов, которые могли бы привести к ряду нежелательных эффектов, снижающих производительность процессора. По указанным причинам поликремниевый затвор фактически был стандартом в течение нескольких десятилетий и только в самое последнее время, как будет разъяснено в следующих разделах, от него пришлось отказаться.

## 2.2. Структура и топология ИС в КМОП технологии

Твердотельная интегральная микросхема, как уже отмечалось, это законченное функциональное электронное устройство, элементы которого конструктивно неразделимы и изготавливаются в едином технологическом цикле в объеме и на поверхности полупроводникового кристалла.

Процесс создания полупроводниковой микросхемы сводится к формированию в приповерхностном слое полупроводниковой пластины элементов (транзисторов, диодов, резисторов) и к последующему их объединению в функциональную схему пленочными проводниками (межсоединениями), создаваемыми в верхних слоях ИС.

Для характеристики типа применяемых в ИС транзисторов, а также технологических методов их изготовления пользуются понятием «структура ИС», которое определяет последовательность различных слоев в составе микросхемы по нормали к поверхности кристалла,

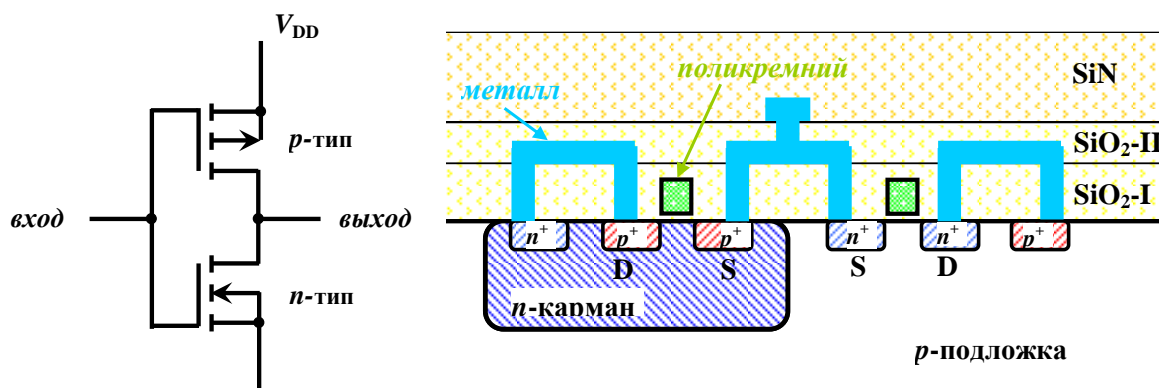


Рис. 2.1. Принципиальная схема инвертора на КМОП-паре и фрагмент ИС со структурой этой пары

Заданная структура ИС позволяет установить состав и последовательность технологических методов обработки пластины и определить технологические режимы для каждого метода. На рис. 2.1 приведен пример структуры ИС, необходимой для изготовления логического инвертора на основе одной КМОП пары транзисторов. Все однотипные элементы ИС имеют одинаковую структуру и, следовательно, единую базовую технологию, которая определяет технологическую последовательность обработки и требуемый комплект оборудования. Очевидно, что базовая технология не зависит от размеров элементов в плане, их взаимного расположения и рисунка межсоединений.

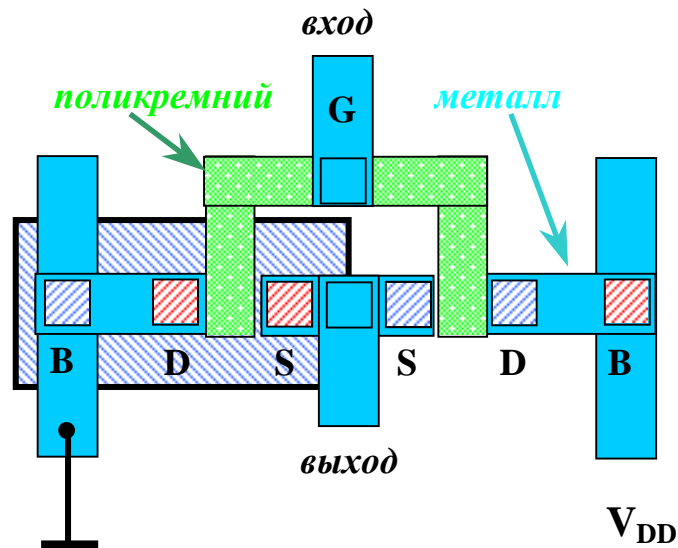


Рис. 2.2. Топология ИС, показанной на рис. 2.1;  
исток — S (Source), сток — D (Drain), затвор — G (Gate), подложка — B (Body).

Топология микросхемы — это чертеж, определяющий форму, размеры и взаимное расположение элементов и соединений микросхемы в плоскости, параллельной поверхности кристалла. Поскольку элементы и соединения формируются путем последовательного формирования отдельных слоев, различают общую и послойную топологию.

На рис. 2.2 показана общая топология ИС со структурой, изображенной на предыдущем рисунке. В подписи под рисунком поясняются буквенные обозначения элементов МОП–транзистора, наиболее распространенные в научной литературе.

### 2.3. Технологическая схема кремниевой планарной технологии

Упрощенная блок–схема технологического процесса для кремниевой планарной технологии представлена на рис. 2.3.

Изготовление ИС по планарной технологии включает три основных этапа:

1. производство полупроводниковых монокристаллических пластин, называемых подложками, со строго контролируемой кристаллической структурой и кристаллографической ориентацией и максимально возможной степенью очистки от загрязнений;

2. обработка этих пластин путем многократного повторения циклов оксидирования, травления, легирования, нанесения пленок и других операций для создания в приповерхностной области подложки ИС с



требуемой топологией и структурой (включая межсоединения и контактные площадки);

### 3. сборка ИС и упаковка их в герметичный корпус.

Достоинство планарной технологии состоит в том, что после завершения каждой технологической операции восстанавливается плоская (планарная) форма поверхности пластины. Это позволяет создавать достаточно сложную структуру, используя конечный набор технологических операций.



Рис. 2.3. Упрощенная блок-схема технологического процесса производства ИС в кремниевой планарной технологии

Рассмотрим основные из приведённых на рис. 2.3. операций более детально, ориентируясь в основном, как и ранее, на производство цифровых интегральных схем на основе кремния.

### 2.3.1. Подготовка кремниевых подложек

#### *Выращивание кристалла*

Самым первым этапом технологии является выращивание монокристалла кремния, из которого и будут изготовлены подложки. Существует несколько способов получения монокристаллов различных материалов, но в случае кремния доминирующим является метод, который в 1916 году предложил польский химик и инженер [Ян Чохральский](#). Суть метода заключается в вытягивании кристаллов от свободной поверхности большого объема расплава вверх после приведения затравочного кристалла в контакт с ней (рис. 2.4).

По легенде, Чохральский открыл свой знаменитый метод, когда случайно окунул свою ручку в тигель с расплавленным оловом вместо чернильницы. Вытягивая ручку из тигля, он обнаружил, что вслед за металлическим пером тянется тонкая нить застывшего олова. Заменяв перо ручки микроскопическим кусочком металла, Чохральский убедился, что образующаяся при этом металлическая нить имеет монокристаллическую структуру. Чохральский изложил суть своего открытия в статье «Новый метод измерения степени кристаллизации металлов», опубликованной в немецком журнале «Zeitschrift für Physikalische Chemie» (1918).

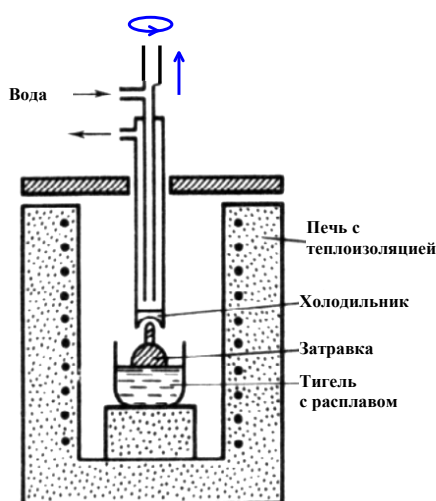


Рис. 2.4. Схематическое пояснение к методу Чохральского

Сначала Чохральский рассматривал этот метод только в качестве способа изучения процесса кристаллизации различных металлов. Однако со временем и он сам, и другие металлурги стали разрабатывать различные модификации метода с тем, чтобы применить его в промышленном производстве.

В полупроводниковой промышленности этот метод успешно применяется с 1950-х годов. В настоящее время до 90% используемого в электронике кремния изготавливается по методу Чохральского, а при производстве микропроцессоров эта доля практически составляет 100%.

Метод является тигельным, поскольку при выращивании используются контейнеры из материалов, устойчивых к расплаву и атмосфере установки (для кремния это, как правило, кварц —  $\text{SiO}_2$ ). При выращивании кристаллов из тигля неизбежно происходит загрязнение расплава материалом тигля. Однако, благодаря большой открытой площади расплава, летучие компоненты и примеси активно испаряются с поверхности в процессе роста. Кроме того, важно, что выращиваемый кристалл не имеет контакта со стенками тигля, поэтому механические напряжения в нем гораздо меньше, чем при других тигельных методах. Для уменьшения загрязнения остаточными газами выращивание производится в вакууме или инертной среде (чаще всего в аргоне при пониженном давлении).

Рассмотрим вкратце основные технологические этапы процесса выращивания кремниевых слитков.

Затравочный кристалл необходимой структуры и ориентации опускается вниз до приведения в контакт с поверхностью расплава и выдерживается там для прогрева и оплавления зоны контакта. После этого начинается вытягивание затравочного кристалла вверх в холодную зону, где сначала формируется цилиндр, диаметр которого, стараются сделать минимально возможным — это особенно важно для выращивания кристаллов без дислокаций. Затем путем снижения температуры и скорости вытягивания диаметр этого цилиндра увеличивают до нужного значения, после чего вытягивают цилиндр максимально возможной длины. Для обеспечения более равномерного распределения температуры и примесей по объему расплава затравочный кристалл и тигель с расплавом вращают в противоположных

направлениях. Скорость этого вращения очень тщательно подбирается, чтобы избежать появления на поверхности слитка винтовой нарезки. Перед завершением процесса скорость вытягивания и температура расплава вновь увеличивается, а диаметр кристалла постепенно уменьшается, так что на конце слитка кремния формируется конус, длина которого может достигать двух диаметров. После завершения конуса производится отрыв слитка от расплава и постепенное его охлаждение по заданному режиму до требуемой температуры. Все режимные параметры каждого из этапов процесса являются, как правило, ноу-хау конкретного производителя.

Важным достоинством метода Чохральского является то, что, в отличие от метода зонной плавки (обеспечивающего более высокую степень очистки), этот метод позволяет выращивать совершенные кристаллы кремния диаметром более 300 мм. Это особенно важно при производстве ИС для микропроцессоров, так как при увеличении диаметра подложек:

1. возрастает выход микросхем с фабрики при той же стоимости их производства и, как следствие, появляется возможность сократить число дорогостоящих фабрик и штат работающего на них персонала;

2. увеличивается процент выхода годных изделий, так как большее число ИС изготавливается на одной и той же пластине по одинаковой технологии.

По оценкам специалистов «Intel», при переходе в 2003 году с пластин диаметром 200 мм (8 дюймов) на 300 мм (12 дюймов) выход ИС с фабрики возрос в 2 раза, а процент выхода годных в 2,5 раза.

И хотя 300–мм фабрика существенно сложнее и дороже, чем 200–мм, все равно получается выигрыш в себестоимости каждого процессора примерно 30% (рис. 2.5).

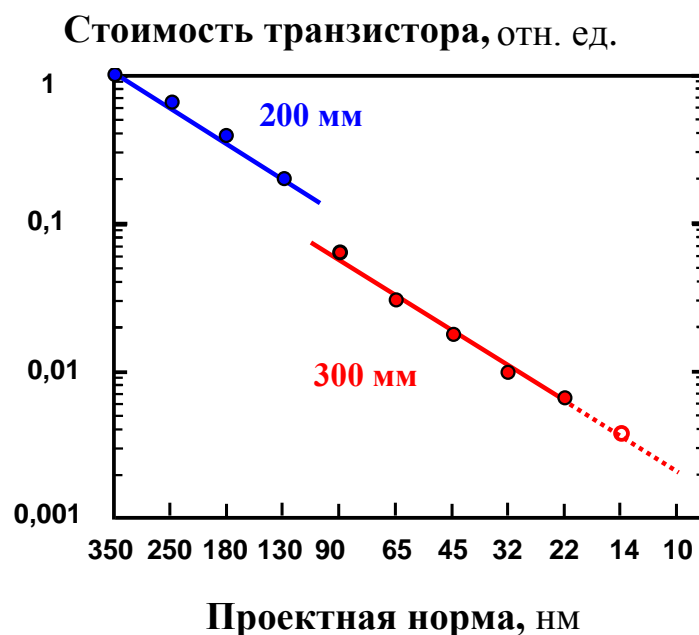


Рис. 2.5. Снижение стоимости одного транзистора в СБИС при уменьшении размеров элементов и увеличении диаметра подложки (по данным Intel, 2011 год).

В настоящее время ведущие производители микропроцессоров, как правило, не занимаются сами производством подложек, а заказывают их у одной из фирм, специализирующихся только на этом. Крупнейшим таким производителем, поставляющим свои изделия на контрактной основе, является «Taiwan Semiconductor Manufacturing Company (TSMC)», занимавшая в 2011 году 48,8 % рынка полупроводниковых микросхем. Для представления о масштабах ее деятельности можно перечислить принадлежащие ей фабрики (по состоянию на 2009 год): одна фабрика 150–мм (6–дюймовых) пластин (Fab 2), пять фабрик 200–мм (8–дюймовых) пластин (Fab 3, 5, 6, 7, 8), две фабрики 300–мм (12–дюймовых) полупроводниковых пластин (Fab 12, 14). Кроме того, TSMC владеет компанией WaferTech (США), а также долей в совместном предприятии SSMC (Сингапур). Упомянутой компании WaferTech принадлежит завод в Camas, Washington (200 мм), а компании SSMC

---

**TSMC** — тайваньская компания, занимающаяся изучением и производством полупроводниковых изделий. Основана в 1987 году правительством Китайской республики, компанией Philips и частными инвесторами. Штаб-квартира TSMC находится в г. Синьчжу (Тайвань). В настоящее время в компании работает более 20 000 человек по всему миру. Чтобы обслуживать и поддерживать производственные мощности, TSMC содержит офисы в Китае, Индии, Японии, Ю. Корее, Нидерландах, США и на Тайване. Веб-сайт: [www.tsmc.com](http://www.tsmc.com).

завод в Сингапуре (200 мм). Мощности TSMC на конец 2010 года позволяли выпускать каждый месяц по 240 тысяч 300–мм пластин.

Вторым по доле на рынке (12,1%) является тоже Тайваньская компания «United Microelectronics Corporation, (UMC)». С небольшим отрывом третье место занимает (12%) американская компания «GlobalFoundries Inc.» со штаб-квартирой в г. Мильпитас (штат Калифорния), которая была создана в 2009 году на основе одного из производственных подразделений компании AMD, а затем расширена путем слияния в январе 2010 года с сингапурской компанией Chartered Semiconductor Manufacturing.

Согласно стратегии Intel и других ведущих производителей чипов, для того, чтобы сохранить темпы развития цифровой индустрии, намеченные законом Мура, необходимо каждые 10–15 лет переходить к следующему поколению кремниевых подложек. Согласно предварительным оценкам, переход от 300–мм пластин к 450–мм позволит производителям ИС на 30% снизить стоимость производства благодаря увеличению площади подложки в 2,25 раза. Однако для производителей технологического оборудования при этом возникают серьезные проблемы. Главная из них (и пока не решенная) состоит в необходимости обеспечить условия, при которых на всех этапах технологической обработки поверхность подложки оставалась бы совершенно плоской.

300–мм подложка весит 128 г при стандартной толщине 775 мкм. Для технологической нормы 14/22 нм разработка архитектуры ИС стоит, в среднем, \$150 миллионов, разработка деталей технологического процесса — \$1,5 миллиарда, а 300–мм фабрика — \$7 миллиардов.

450–мм подложка весит 340 г при толщине  $925 \pm 20$  мкм. При таких размерах велика вероятность того, что подложка будет коробиться или провисать во время продвижения по технологической цепочке и придется принимать специальные и весьма дорогостоящие меры, чтобы этого избежать. Ожидается, что 450–мм фабрика будет стоить от 10 до 15 миллиардов долларов. Такие затраты слишком обременительны даже для

---

UMC — тайваньский производитель микроэлектроники, образованный в 1980 из спонсируемого государством Industrial Technology Research Institute (ITRI). Веб-сайт: <http://www.umc.com/English/>.

крупного производителя. Поэтому в 2011 году «The College of Nanoscale Science and Engineering (CNSE)» Нью-Йоркского государственного университета, который является крупнейшим мировым исследовательским и технологическим центром в области нанoeлектроники, предложил создать на базе своего кампуса консорциум из 5 ведущих фирм (Intel, IBM, Samsung и уже упоминавшиеся Тайваньская TSMC и американская GlobalFoundries) — «Global 450mm Consortium (G450C)». Основными задачами этого консорциума объявлены разработка и уменьшение стоимости всей необходимой инфраструктуры и прототипов оборудования для пробного выпуска 450-мм подложек с тем, чтобы координировать переход всей индустрии на такую технологию. Подобные же объединения создаются в Японии, Израиле и Европе. Оптимисты надеются, что к 2018 году при переходе на топологические нормы 10 и 7 нм удастся наладить массовое производство 450-мм подложек. Это подтвердил в начале 2014 года и генеральный менеджер G450C Пол Фэррер, по словам которого нет никаких фундаментальных технологических ограничений для перехода на такие подложки и сообщил об обнадеживающих успехах в этом направлении.

В частности, на базе CNSE в Албани вблизи Нью-Йорка удалось полностью оснастить «чистую комнату» площадью около 500 м<sup>2</sup> всем требуемым для полного технологического цикла оборудованием и разработать основные процессы (очистка, травление, CVD, CMP, литография, отжиг и пр.), которые обеспечивают необходимые для массового производства воспроизводимость и разброс параметров. Основной задачей, которую еще предстоит решить консорциуму, чтобы сделать проект экономически привлекательным для ведущих фирм, является поиск путей снижения стоимости производства.

### ***Требования к гермозоне***

Как производство самих подложек, так и последующая их обработка, требуют обеспечения исключительной чистоты на всех стадиях технологического процесса. Для этого выработаны стандарты так называемых «чистых комнат» (*cleanroom*) — в отечественной литературе «гермозон», — которые являются необходимой составной частью любого микроэлектронного предприятия (или, как принято

сейчас говорить, «фабрики» — в англоязычной литературе просто «*fab*»). В современном производстве стремятся использовать очень большие по площади (тысячи квадратных метров) чистые комнаты для того, чтобы разместить в них максимальное количество необходимого оборудования.

Уровень засоренности чистых комнат обычно оценивается по содержанию инородных частиц определенных размеров и сорта (пыль, аэрозоли, химические пары, воздушно-капельные микробы и пр.) в одном кубическом метре внутреннего воздуха. Самые жесткие стандарты требований к этой засоренности, которые сейчас применяются при изготовлении ИС, состоят в том, чтобы в атмосфере производственных помещений вообще не было инородных микрочастиц с размерами больше 300 нм, а их концентрация для меньшего размера не превышала в одном кубическом метре 12 частиц. Эти исключительные меры требований к чистоте производства удалось реализовать на практике благодаря целому комплексу мероприятий.

1. Поступающий извне воздух тщательно фильтруется с помощью специальных волокнистых материалов, устраняющих твердые частицы, и химических фильтров, поглощающих или разлагающих летучие органические соединения и озон. Воздух внутри помещения непрерывно очищается от выделяющихся в процессе производства загрязнений с помощью особых блоков фильтрующих вентиляторов (*fan filter unit* — FFU), размещенных в специальных решетках на полу или потолке. Количество таких блоков может превышать несколько тысяч (рис. 2.6). Эти вентиляторы обеспечивают постоянную циркуляцию воздуха по замкнутому циклу через эффективные фильтры, устраняющие, по меньшей мере, 99,999% взвешенных загрязнений любой природы. Оборудование внутри чистой комнаты проектируется таким образом, чтобы обеспечить минимальное загрязнение воздуха. Используются только специальные швабры для очистки и особые емкости для деталей и реактивов. Вся внутренняя мебель также не должна производить загрязнений и сделана так, чтобы ее поверхность можно было легко очистить. Карандаши, ручки и текстиль, сделанные из натуральных материалов, исключаются и заменяются альтернативными.

2. Персонал входит и выходит из чистых комнат через специальные шлюзовые камеры, исключающие попадание наружного воздуха внутрь.





Рис. 2.6. Чистая комната для микрорезонного производства с блоками фильтрующих вентиляторов, установленными в решетке на потолке

При входе в этих камерах проводится окончательная очистка тела работника от загрязнений пылью, потом и пр., а также полная замена одежды на устойчивую к износу специальную (маски, комбинезоны, капюшон, обувь, перчатки) (рис. 2.7). Эта одежда с самого начала и до конца срока ее использования не выносится наружу.



Рис. 2.7. Типичная одежда работника чистой комнаты

3. Уровень загрязнения атмосферы непрерывно контролируется большим числом специальных датчиков.

### ***Резка и подготовка пластин***

После охлаждения выращенного кристалла и его калибровки по диаметру проводится травление его поверхности на глубину 0,3–0,5 мм и ориентация по заданному кристаллографическому направлению (для кремния это обычно оси [111] и [100]), чтобы получить после резки пластины толщиной порядка 1 мм, ориентированные строго в заданной плоскости.

Существует несколько методов резки. В одном из них используется алмазный диск с внутренней режущей кромкой, который вращается со скоростью 3000–5000 оборотов в минуту. Держатель со слитком

перемещается поступательно относительно диска до тех пор, пока не происходит полное отделение пластины. После этого держатель отводится в исходное положение, высота кромки кристалла относительно диска калибровано изменяется и отрезается следующая пластина. В течение всего процесса резки в область контакта алмазной кромки диска с кристаллом непрерывно подается охлаждающая жидкость, отводящая выделяющееся тепло. Качество резки в сильной степени зависит от применяемой охлаждающей жидкости и ее расхода (2–4 л/мин).

Второй способ — это резка проволокой с применением абразива. Используется как возвратно-поступательное движение намотанной на валики проволоки, так и перематка ее с большой скоростью с одного валика на другой. Разрезаемый слиток подводят к движущейся проволоке до соприкосновения и устанавливают необходимую скорость его подачи. При этом на проволоку непрерывно подается абразивная суспензия. Обычно используют проволоку из вольфрама, стали, никеля, нихрома. Диаметр проволоки 0,05–0,15 мм, ширина реза равна 0,08–0,2 мм.

Полученные непосредственно после разрезания пластины содержат многочисленные дефекты. Их поверхности не плоские и не параллельны друг другу, на них присутствуют микро и макронеровности различного размера, прилегающий к поверхности слой пластически деформирован и содержит механические напряжения. Поэтому отрезанные полупроводниковые пластины загружают в установки для шлифовки и полировки, в которых первоначально с помощью вращающихся алмазных шлифовальных дисков (15000–18000 об/мин) удаляется механически поврежденный приповерхностный слой. Для уменьшения нагрева в зону шлифования подают охлаждающую жидкость. Затем проводится полировка на дисках, обтянутых мягким материалом, на поверхность которого наносится паста с микропорошком абразива. Полировка обычно проходит в несколько этапов с заменой полировальных микропорошков на все более мелкие. На заключительной стадии полировки проводится обезжиривание поверхности с помощью специальных растворителей и последующее удаление остатков растворителя отмывкой в сверхчистой деионизованной воде.

Окончательное сглаживание рельефа поверхности пластины проводится с помощью химико-механической планаризации «*Chemical mechanical polishing, (CMP)*» — процесса, сочетающего химическую и механическую обработку поверхности, изобретенного в 1983 году на фирме IBM. Идея метода состоит в том, что оставшиеся еще на поверхности микро и нановыступы содержат большое число структурных нарушений и поэтому травятся гораздо быстрее, чем гладкая поверхность. В результате удается получить практически атомно-гладкую поверхность, неровность которой не превышает нескольких ангстрем. Наконец, для улучшения электрических характеристик приборного слоя кремния, в котором будут сформированы все элементы ИС, его часто эпитаксиально наращивают на подложке в виде пленки требуемой толщины. Это позволяет обеспечить более высокую степень очистки от примесей и структурных нарушений, чем в методе Чохральского для объемных кристаллов.

Готовая подложка поступает в камеру обработки, первым этапом которой является контроль ее поверхности с помощью системы прецизионных оптических датчиков. При этом для каждой конкретной пластины фиксируются малейшие неровности на ее поверхности с тем, чтобы оптимизировать в дальнейшем процесс ее экспонирования.

### 2.3.2. Основные технологические циклы при формировании слоев

Рассмотрим вкратце основные технологические операции при формировании многослойной ИС в том же порядке, в котором они приведены на блок-схеме рис. 2.3.

#### *Химико-механическая планаризация (CMP)*

Перед началом каждого цикла поверхность пластины подвергается CMP — химико-механической полировке, аналогичной описанной в предыдущем разделе. Для нанометрового диапазона этот процесс обязателен, так как позволяет убрать возникшие в

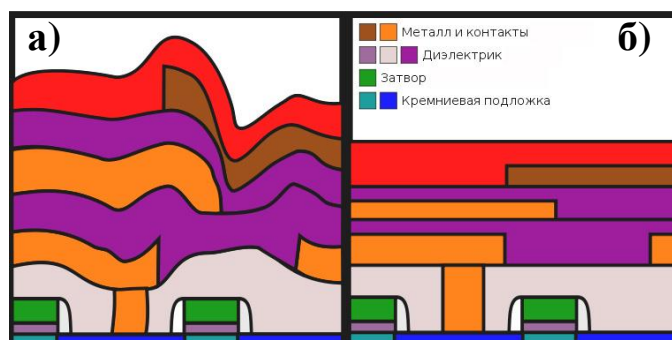


Рис. 2.8. Срез фрагмента ИС, изготовленной без CMP (а) и с многократной планаризацией (б).

ходе предшествующей обработки неровности перед формированием очередного слоя.

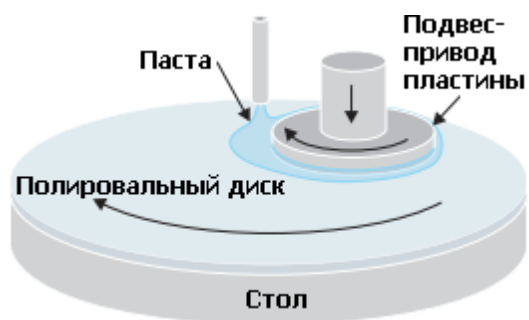


Рис. 2.9. Схема химико-механической планаризации

В качестве примера на рис. 2.8. показано поперечное сечение фрагмента чипа, при изготовлении которого не применялась CMP (а), и срез этого же участка (б) при химико-механической планаризации перед каждым циклом.

Типичная реализация CMP показана на рис. 2.9.

Вращающийся подвес прижимает пластину лицевой стороной к вращающемуся диску с наносимой на него пастой, которая выравнивается специальным диском-восстановителем, не показанным на рисунке. И восстановитель, и подвес, как правило, могут перемещаться в радиальном направлении.

После окончания CMP максимальная высота микровыступов не превышает 1 нм, а средняя шероховатость — 0,1 нм.

### ***Термическое окисление кремния***

Поверхность пластин кремния могут содержать тонкий естественный слой оксида (толщиной ~ 1–2 нм). Для получения более толстых пленок необходим специальный процесс термического окисления, выполняемый в диффузионной печи при температурах от 800 до 1300<sup>0</sup>°C в атмосфере высокочистого кислорода (иногда с добавкой азота) — сухого или содержащего пары воды. Могут также добавляться пары HCl для нейтрализации вредных случайных загрязнений (прежде всего, щелочных металлов Na и K). Все эти процессы хорошо исследованы и разработаны соответствующие технологические режимы, которые широко используются в электронной и микроэлектронной промышленности. При этом в современной нанoeлектронике, как правило, для окисления используются вертикальные печи, обеспечивающие лучший контроль загрязнений и более равномерную термическую обработку. К тому же такие печи сравнительно легко позволяют окислять пластины большого диаметра и, кроме того, экономят площадь чистых помещений.

## **Фотолитография**

На поверхность окисла наносится тонкая пленка специального фоточувствительного материала (фоторезиста), который изменяет свои физико-химические свойства в результате электромагнитного облучения. Как правило, это полимер, на облучаемом участке которого изменяется длина полимерных цепочек, т. е. средний молекулярный вес. Если при облучении происходит распад молекул полимера и уменьшение молекулярного веса, то при последующем травлении облученные участки удаляются быстрее, чем не облученные. Такой фоторезист называется *позитивным*. Для *негативного* резиста, наоборот, при облучении происходит сшивка соседних полимерных молекул и их молекулярный вес возрастает. После травления в этом случае на поверхности остаются только облученные участки.

На следующем этапе проводится экспонирование фоторезиста через *фотошаблон*, представляющий прозрачную для используемого излучения пластину с нанесенным на нее непрозрачным рисунком топологии формируемого слоя. При нанометровой технологической норме используется проекционное экспонирование, которое создает на облучаемом участке уменьшенное изображение рисунка фотошаблона. Современные промышленные литографические установки (степперы и сканеры) используют ультрафиолетовое излучение с длиной волны 193 нм (экцимерный лазер ArF), а также глубокое ультрафиолетовое излучение (вакуумный ультрафиолет) с длиной волны около 13 нм. При выполнении первой фотолитографии, фотошаблон должен быть ориентирован относительно подложки так, чтобы все его модули были параллельны базовому срезу на дисковой пластине, сделанному до этого в выбранном кристаллографическом направлении. Во время всех последующих литографических операций необходимо совмещение фотошаблона с предыдущим рисунком. Для этого на подложку предварительно наносятся специальные метки совмещения, предусмотренные в рисунке каждого топологического слоя. Точность совмещения положения рисунка на пластине при многократном экспонировании ее через различные фотошаблоны должна составлять несколько нанометров. Это обеспечивается с помощью прецизионных оптических датчиков, фиксирующих положение указанных меток. Более

детально особенности литографии в субмикронной области обсуждаются в разделе 8.

По окончании экспонирования проводится травление (проявление) фоторезиста, заключающееся в удалении негативного фоторезиста с необлученных участков или позитивного фоторезиста с облученных участков подложки. В субмикронной области, как правило, используется обеспечивающее лучшее пространственное разрешение «сухое», а не жидкостное травление. Наиболее часто используется реактивное плазменно–химическое травление, при котором подложка, покрытая облученным фоторезистом, подвергается воздействию плазмы, возбужденной высокочастотным электрическим полем. Радикалы и нейтральные частицы плазмы участвуют в химических реакциях на поверхности, в результате которых образуются летучие продукты. Для каждого типа резиста необходимо подобрать соответствующий реактивный газ и режим облучения, обеспечивающий удаление только требуемых участков.

Для наиболее ответственных областей ИС может использоваться и ионно–лучевое травление, при котором требуемые участки удаляются в результате распыления остро сфокусированным ионным лучом.

### ***Изготовление фотошаблонов***

Изготовление фотошаблонов для нанoeлектроники является дорогостоящим и весьма трудоемким многостадийным процессом, требующим высоко точного и надежного специализированного оборудования, высокой квалификации персонала, строжайшего соблюдения правил вакуумной гигиены.

Первым этапом является проектирование общей и послойной топологии ИС и разработка рисунков для фотошаблонов каждого из формируемых слоев. При этом необходимо задать значения координат угловых точек каждого топологического элемента для всех слоев и занести их в память компьютера.

Затем изготавливается фотооригинал шаблона, увеличенный в 200–1000 раз. Для ИС с относительно небольшой степенью интеграции, это делается на автоматических координатографах оптико–механическим методом — на непрозрачной для рабочего излучения пленке,

помещенной на стеклянную или полимерную подложку, алмазным резцом вырезается требуемый рисунок.

В случае СБИС подобный способ не обеспечивает требуемой точности и производительности. Поэтому были разработаны оптические генераторы изображения, работающие по принципу разбиения создаваемых топологических элементов на элементарные прямоугольники, формирование которых осуществляется с помощью программно–управляемого блока шторок. В результате при таком микрофотонаборе изображение фотооригинала шаблона создается на специальной пластине с фоточувствительным слоем.

После формирования первичного фотооригинала в специальных редуционных камерах методами точной фотографии создается промежуточный фотошаблон — уменьшенное изображение фотооригинала. На следующем этапе изготавливается эталонный фотошаблон путем уменьшения до реальных размеров изображения структуры, созданной на промежуточном шаблоне, и ее многократного повторения (мультипликации) на рабочем поле шаблона с помощью специальных фотоповторителей.

Конструктивно фотоповторитель аналогичен оптическому генератору изображения, но отличается от него более совершенной оптической системой, более прецизионным координатным столом (точность перемещения до 0,05 мкм) и тем, что в нем вместо блока шторок установлен блок ориентации и крепления промежуточного фотошаблона.



Рис. 2.10. Фотоповторитель  
ЭМ-5062М

На рис. 2.10. показан один из фотоповторителей, выпускаемых Минским объединением «Платан», с размером рабочего поля 153x153 мм и уменьшением 1:10, рассчитанный на выпуск 30 фотошаблонов в час.

Для ИС малой и средней степени интеграции основным технологическим маршрутом является изготовление рабочих фотошаблонов путем переноса на них изображения эталонного шаблона методами контактной литографии в масштабе 1:1. Это наиболее

дешевый и производительный метод, однако точность передачи рисунка не очень велика, а получаемые рабочие фотошаблоны содержат значительное количество дефектов. Поэтому для СБИС в качестве рабочих шаблонов используются эталонные, полученные методами проекционной литографии с совмещением. Достоинства этого маршрута — низкий уровень дефектности шаблона, высокая точность выполнения размеров элементов и совмещения слоев, а недостаток — малая производительность.

Альтернативой является электронно-лучевой генератор изображения, который по сравнению с оптическим существенно увеличивает быстродействие процесса генерации при одновременном повышении точности выполнения элементов. Изображение создается с помощью сфокусированного электронного пучка, который в случае круглого сечения сканирует по всей поверхности и программируемо включается в требуемых местах. Другой возможный вариант — прямоугольный пучок с переменным сечением и векторное сканирование, при котором после обработки одного топологического элемента луч скачком перемещается на следующий. Электронно-лучевая технология является одностадийной, так как выполняется сразу в требуемом масштабе и поэтому позволяет обойтись без промежуточных фотошаблонов.

Электронно-лучевые установки обеспечивают наивысшее разрешение, очень высокую прецизионность и низкий уровень вносимой дефектности. Поэтому, несмотря на чрезвычайно высокую стоимость, такие установки являются основным технологическим оборудованием при производстве фотошаблонов для цифровых СБИС.

По мере продвижения в нанометровую область при каждом переходе на новую технологическую норму изготовление фотошаблонов становится все более сложным и трудоемким, а стоимость оборудования резко возрастает. Так, для того, чтобы наладить производство фотошаблонов для 28-нм топологической нормы потребовались инвестиции \$ 110–140 млн. По оценке специалистов, при переходе на новую 10-нм технологию эти затраты возрастут до \$350–400 миллионов и не более десятка производителей в мире смогут их осилить.



### ***Травление окисла***

Следующим этапом технологического маршрута является перенос изображения с фоторезиста на расположенный непосредственно под резистором окисел, устойчивый к последующим циклам термической обработки. В нанoeлектронике это также делается с помощью «сухого» травления, во многом аналогичного описанному ранее, для того, чтобы не допустить расплывание изображения из-за бокового подтравливания, неизбежного при использовании жидких растворителей. В отличие от травления фоторезиста, в этом случае необходимо обеспечить высокую селективность травления, т. е. так подобрать реагенты и режимы плазменно–химической или ионно–химической обработки, чтобы свести к минимуму воздействие на фоторезист и на лежащий под окислом слой кремния, а удалять только сам окисел на тех участках, где в резисте были вскрыты окна. На заключительной стадии травления с поверхности удаляются и остатки фоторезиста.

### ***Обработка слоев***

На этом этапе происходит последовательное формирование всех слоев, составляющих структуру ИС. На участках поверхности подложки, не защищенных оксидной маской, может проводиться несколько технологических операций.

Одна из основных таких операций — это ***легирование*** подложки, т. е. введение в ее приповерхностную область донорных или акцепторных примесей, задающих тип проводимости и концентрацию носителей в обрабатываемом слое. Самыми распространенными легирующими примесями в случае кремния являются мышьяк (As), фосфор (P) и сурьма (Sb) для *n*-типа проводимости и бор (B) для *p*-типа. В настоящее время технологически легирование производится тремя способами: термодиффузия, ионная имплантация и нейтронно–трансмутационное легирование.

При ***термической диффузии*** (наиболее распространенный способ) требуемая примесь вводится, как правило, в два этапа: на первом и достаточно кратковременном («загонка примеси») она производится путем локальной (с поверхности или из газовой фазы) диффузии примеси в приповерхностную область слоя через окна в защитном слое за счет градиента концентраций. Затем необходимо провести «разгонку»

примеси по требуемому объему путем термического отжига так, чтобы за время этой и всех последующих технологических операций размер легированной области достиг требуемых размеров по площади и глубине. Поскольку для создания всех слоев необходимо неоднократное повторение циклов диффузии, то их порядок в первую очередь определяется экспоненциальной зависимостью коэффициентов диффузии примесей от температуры. Стараются сначала производить загонку и разгонку менее подвижных примесей, а для сокращения времени процесса использовать более высокие температуры. Затем при меньших температурах загоняют и разгоняют более подвижные примеси. К примеру, в кремнии сначала при температуре до  $\sim 950$  °C создают области  $p$ -типа, легированные бором, и только потом при температуре менее  $\sim 750$  °C создают области  $n$ -типа, легированные фосфором или мышьяком. В случае других легирующих элементов и/или других матриц номиналы температур и порядок создания легированных областей может быть разным, но всегда при этом стараются придерживаться правила «понижения градуса».

*Ионная имплантация* позволяет контролировать параметры приборов более точно, чем термодиффузия, и получать более резкие  $p$ - $n$  переходы. Этот метод основан на облучении выбранного участка сфокусированным пучком ионов заданного сорта, ускоренных до такой энергии, которая обеспечивает необходимую среднюю глубину проникновения ионов в материал мишени. Метод обеспечивает весьма высокую локальность воздействия, определяемую диаметром ионного пучка, и является универсальным: в любой материал можно внедрить любое количество ионов любого сорта, независимо от пределов растворимости их в подложке, если разработаны соответствующие источники ионов. Однако в процессе ионной имплантации неизбежно возникают радиационные дефекты в результате того, что первичные ионы выбивают атомы подложки из узлов кристаллической решетки. Эти дефекты, как правило, ухудшают электрические характеристики обрабатываемого слоя. Поэтому после имплантации приходится проводить дополнительный термический отжиг для того, чтобы свести к минимуму концентрацию подобных дефектов. В процессе такого отжига

профиль внедренной примеси может существенно измениться в результате диффузии, сегрегации и прочих эффектов такого рода.

При *нейтронно–трансмутационном* (НТЛ) легировании необходимые примеси не вводятся в полупроводник, а образуются («трансмутуют») из атомов исходного вещества в результате ядерных реакций, вызванных облучением исходного вещества нейтронами. В случае изотопа кремния  $^{30}\text{Si}$  в результате захвата теплового нейтрона образуется радиоактивный изотоп  $^{31}\text{Si}$ , который затем испытывает  $\beta$ -распад с периодом полураспада 2,62 часа и образованием стабильного изотопа фосфора  $^{31}\text{P}$ , который является донором. НТЛ позволяет получать монокристаллический кремний с особо равномерным распределением атомов примеси и используется, в основном, для легирования слитков до разрезания их на пластины, особенно в случае устройств силовой электроники. В России возможность НТЛ кремния в промышленных масштабах на реакторах АЭС и без ущерба для производства электроэнергии была показана в 1980 году и с тех пор метод постоянно совершенствовался. Основная проблема связана с малым природным содержанием  $^{30}\text{Si}$  (3%). Для достижения концентрации доноров  $10^{15} \text{ см}^{-3}$  необходимо проводить облучение в течение 7 суток, а концентрации  $10^{16} \text{ см}^{-3}$  – 79 суток. Кроме того, присутствие в излучении не только тепловых, но и быстрых нейтронов приводит к накоплению радиационных дефектов, образующих комплексы с фосфором, в которых он уже не является донором. Поэтому при росте дозы облучения концентрация активной примеси может уменьшаться. Над решением этих проблем последние годы работают ученые, прежде всего отечественные, в том числе и в ФТИ им. А. Ф. Иоффе.

Еще одной технологической операцией, которая проводится во вскрытых окнах оксидной маски является **нанесение пленок** различных веществ из внешних источников того или иного типа. Чаще всего, это пленки проводящих металлов, используемых для создания межсоединений, о которых речь пойдет ниже. Таким же образом наносятся и слои поликремния для формирования затворов МОП–транзисторов и *p*–, и *n*–типа. В современной технологии перечень возможных вариантов осаждения пленок непрерывно расширяется. В

частности, все чаще используется, как это будет показано в следующих разделах, эпитаксиальное выращивание в незащищенных маской окнах слоев кремния или его сплава с германием для создания приборов с нетрадиционной структурой.

Наконец, в указанных окнах можно проводить и сухое *селективное травление* находящегося там материала. Это необходимо как для удаления излишнего металла и создания изолированных друг от друга проводящих дорожек, так и для формирования «колодцев», в которых на следующем этапе будет формироваться требуемая структура ИС.

Для *контроля качества* выполнения промежуточных операций на подложке, как правило, выделяют несколько малых областей (обычно в центре и на периферии), на которых в ходе штатного технологического процесса формируются тестовые проводящие дорожки и элементарные приборы (конденсаторы, диоды, транзисторы и т. п.). В этих же областях формируют контактные площадки для тестирования годности пластин перед скрайбированием (разделением на отдельные приборы) и создания разделительных дорожек, по которым будет производиться резка.

#### *Создание межсоединений*

На последних этапах обработки пластины в верхней ее части формируется многослойный стек (англ. *stack*), содержащий изолированные друг от друга металлические проводники (межсоединения), которые обеспечивают электрический контакт требуемых элементов ИС, а также контактные площадки для подключения к внешним электродам. Более детально технология металлизации ИС обсуждается в разделе 7.1.

### **2.3.3. Завершающие операции при производстве ИС**

По окончании обработки подложки с чипами поступают на станции зондового контроля, которые в автоматическом режиме контролируют требуемые параметры и функции каждой из микросхем на пластине и должны обеспечивать:

1. автоматическую загрузку–выгрузку пластин;
2. обход кристаллов на пластине по программируемым точкам;
3. электрический контакт цепей измерителя с контактными площадками каждого из кристаллов ИС на пластине

4. картографирование результатов контроля пластины по группам годности;

5. вывод результатов контроля пластин на дисплей и занесение их в базу данных.

Ранее отбракованные в процессе такого контроля ИС маркировались красным цветом. Сейчас такой необходимости нет, т. к. вся информация о характеристиках и положении на пластине каждого чипа сохраняется в единой базе данных и учитывается при резке пластины на отдельные кристаллы, содержащие только одну микросхему.



Рис. 2.11. Станция зондового контроля  
ЭМ-6290

В качестве примера на рис. 2.11. показана одна из таких автоматических станций ЭМ-6290, рассчитанная на работу с пластинами до 200 мм и разработанная в Минском научно-производственном объединении «Планар».

#### ***Резка на отдельные чипы***

Способов резки пластины на кристаллы достаточно много: резка алмазным диском с внешней режущей кромкой, или проволокой с применением абразива, резка с использованием ультразвуковых установок, алмазное, лазерное и электронно-лучевое скрайбирование с последующим разламыванием.

Резка алмазным диском с внешней режущей кромкой отличается от рассмотренной ранее резки слитка на пластины тем, что алмазный резец имеет наконечник в форме четырехгранной пирамиды с острой вершиной. Глубина реза не превышает 1 мм. Толщину диска выбирают равной 0,1 мм, чтобы обеспечить итоговую ширину реза 0,2 мм. Разброс кристаллов по геометрическим размерам не превышает 30 мкм. При резке пластины на кристаллы при помощи проволоки ширина реза меньше (0,1 мм).

При алмазном скрайбировании на поверхность пластины алмазным резцом наносят риски шириной 10–20 мкм, глубиной 5–10 мкм в двух взаимно перпендикулярных направлениях. Вокруг нанесенной риски на поверхности пластины возникают механические напряжения и в результате при приложении к пластине изгибающего усилия она разламывается вдоль нанесенных рисок. Пластину располагают на резиновой мембране рисками вниз, а сверху к пластине подводят сферическую поверхность специальной линзы. При определенном давлении воздуха на резиновую мембрану происходит прижатие пластины к сферической поверхности линзы и разламывание пластины на кристаллы прямоугольной формы.

При электронно–лучевом скрайбировании происходит локальное плавление облучаемого участка, а затем быстрое его охлаждение. В результате в области созданных электронным лучом бороздок возникают термомеханические напряжения и при последующем приложении изгибающего усилия пластина раскалывается на кристаллы.

При лазерном скрайбировании резка производится путем нагрева и испарения узкой (25–40 мкм) полосы пластины. Данный метод позволяет проводить резку и скрайбирование пластин с любым покрытием и на любую глубину.

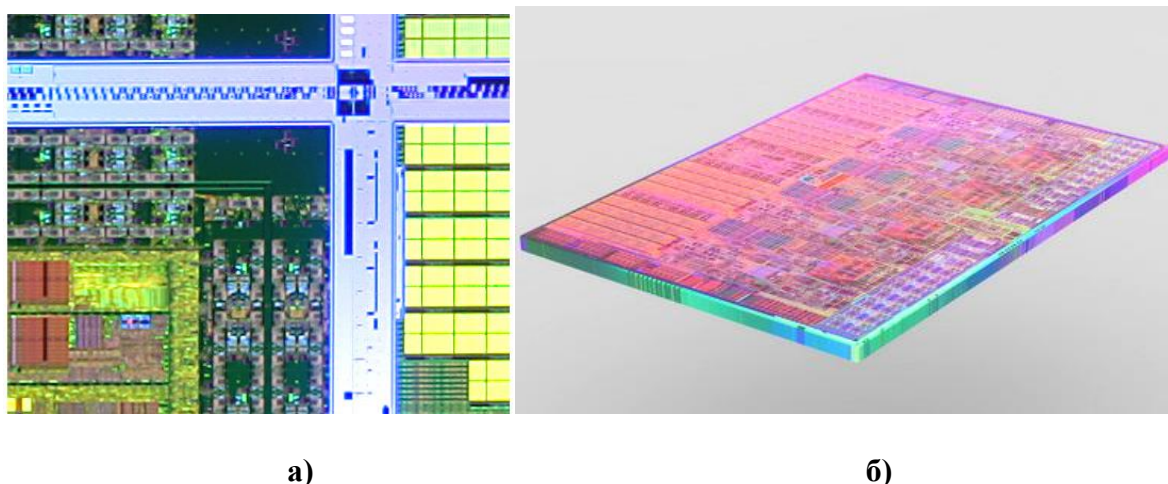


Рис. 2.12. Разделительные дорожки на поверхности пластины (а) и отрезанный чип (б)

Резка пластины на кристаллы осуществляется по специальным, предварительно нанесенным в ходе обработки разделительным дорожкам между соседними чипами (рис. 2.12 а). Эти дорожки, как правило, не содержат двуокиси кремния и других защитных слоев для того, чтобы уменьшить износ резца при механическом скрайбировании.

### ***Установка в корпус, разварка выводов и герметизация ИС.***

Это завершающая стадия микроэлектронного производства, в процессе которой изготовленный чип устанавливается в корпус. Обычно этот этап состоит из монтажа кристалла на основание или носитель кристалла, электрического соединения контактных площадок кристалла с выводами корпуса и герметизации этого корпуса, который предназначен для защиты интегральной схемы от внешних воздействий, для электрического соединения с внешними цепями и для эффективного отвода выделяющегося при работе тепла.

Подробнее технология упаковки цифровых ИС и перспективы ее развития рассматриваются в разделе 7.2.

### ***Выходной контроль***

Каждая из изготовленных интегральных схем на последнем технологическом этапе проходит выходной контроль с помощью специального оборудования, выполняющего функциональную проверку всех параметров ИС на соответствие нормативным требованиям по заданной программе.

#### **2.3.4. Технологический маршрут изготовления КМОП инвертора**

Рассмотрим вкратце основные этапы планарной технологии при формировании слоев, составляющих структуру КМОП–инвертора, на примере «скоростного» 45-нанометрового техпроцесса Intel как одного из наиболее изученных.

1. В качестве подложки используется 300-мм пластина из кристаллического кремния, а не КНИ – кремний на изоляторе (см. раздел 5). Вся литография выполняется на длине волны 193 нм с применением двукратного экспонирования (см. 8.2.5) и сухого травления. Геометрические параметры МОП транзистора: длина затвора — 35 нм (как и в 65-нанометровом процессе), шаг затвора — 160 нм без изоляторов (на 27% меньше, чем в 65-нанометровом) и 200 нм с ними (на 9% меньше).

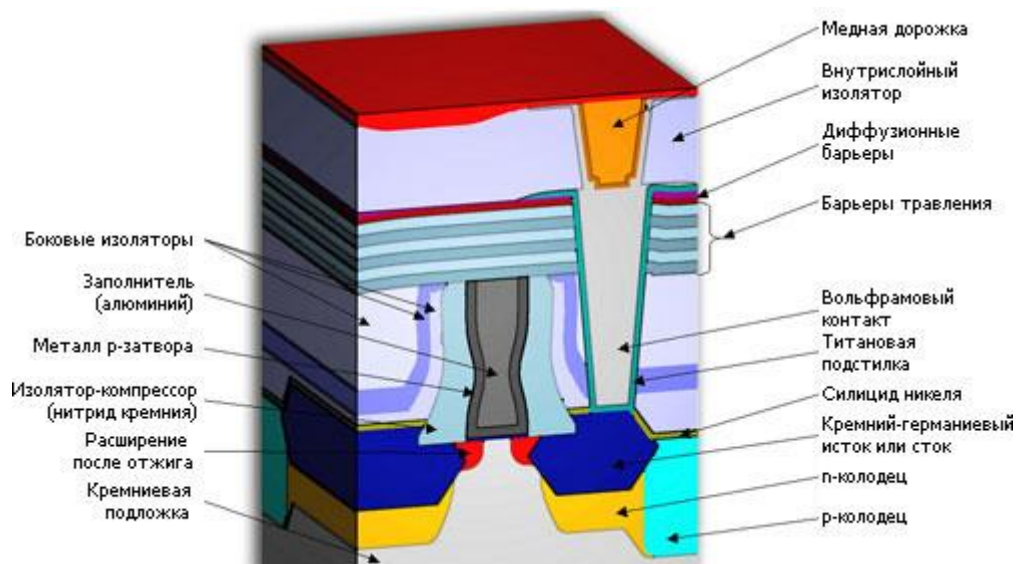


Рис. 2.13. Структура 45-нанометрового *p*-канального транзистора в микросхемах Intel.

2. На первом литографическом этапе в слабо легированной *p*-подложке создаются *n*-карманы для *p*-канального МОП (рис. 2.13).

Для этого проводится компенсирующая диффузия доноров (чаще всего As) из внешнего источника.

3. Применяется технология «затвор последним», при которой сначала из сплава Si-Ge формируются области стока и истока у обоих МОП–транзисторов, причем все каналы на чипе имеют одинаковое направление. Для повышения подвижности дырок в *p*-канал введено сжимающее механическое напряжение за счет увеличения содержания германия с 23 до 30% (см. 5.3).

4. После ионного легирования истоков и стоков у обоих транзисторов в области затворов создается пленка подзатворного диэлектрика с высокой диэлектрической проницаемостью (см. 4.2), эффективная толщина которой 1 нм. Затем наносятся металлические затворы – для каждого транзистора из своего металла. В литографии используется двухслойный резист для того, чтобы сгладить углы затворов.

5. Полученные элементы изолируются и проводится металлизация для создания омических контактов к электродам и всех необходимых межсоединений. Затем наносится стек с десятью слоями проводников (начиная со 2-го слоя — медных), которые изолируются с помощью



легированного углеродом диоксида кремния. Вертикальные контакты к стоку и истоку выполняются из вольфрама; почти везде четные слои металла параллельны каналам, нечетные — перпендикулярны; Последний слой делается наиболее толстым, чтобы выравнять температуру и уменьшить разброс потенциалов на всей поверхности чипа.

6. На одной 300-миллиметровой пластине умещается 568 процессоров Core 2 Duo с 6 МБ кэша L2, изготовленных по технорме 45 нм. Средний темп выхода пластин при производстве на фабрах Intel  $\approx 20$  минут. Чтобы уложиться в это время, для оперативного выходного контроля в свободных местах каждого чипа расположены десятки простейших осцилляторов, транзисторы которых имеют те же параметры, что и у окружающей логики. Измеряя частоты каждого осциллятора и зная их расположение, для каждого процессора можно оценить разброс параметров и предварительно их разбраковать. После резки пластины те из чипов, которые прошли оценочные тесты, отправляются на сборочный участок. Там они упаковываются в корпус без применения проводов и содержащих свинец припоев по технологии «перевернутого чипа» (см. раздел 7.2), проходят детальное тестирование, программную прошивку и отключение неработающих или слишком медленных участков.

Таким образом, при введении технологической нормы 45 нм в 2007 г. Intel использовал сразу несколько инноваций, включая *Ni-k* диэлектрик и напряженный кремний, что позволило на 51% повысить производительность по сравнению с предыдущим поколением.